



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0048432
Application Number

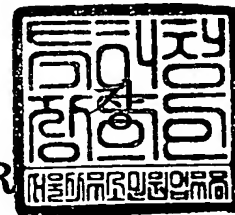
출원 년 월 일 : 2003년 07월 15일
Date of Application JUL 15, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 06 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2003.07.15
【국제특허분류】	H01L
【발명의 명칭】	층간절연막 평탄화 방법
【발명의 영문명칭】	Planarization method of interlayer dielectrics
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	박영래
【성명의 영문표기】	PARK, Young Rae
【주민등록번호】	681011-1268214
【우편번호】	442-070
【주소】	경기도 수원시 팔달구 인계동 159번지 선경3차아파트 302동 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	이재동
【성명의 영문표기】	LEE, Jae Dong
【주민등록번호】	681011-1255513

【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을신명아파트 204-1603
【국적】	KR
【발명자】	
【성명의 국문표기】	박준상
【성명의 영문표기】	PARK, Joon Sang
【주민등록번호】	760328-1075247
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 청실아파트 17-802
【국적】	KR
【발명자】	
【성명의 국문표기】	홍창기
【성명의 영문표기】	HONG, Chang Ki
【주민등록번호】	630921-1063611
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 삼성아파트 1007동 302호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	15 면 15,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	19 항 717,000 원
【합계】	761,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 OCS(one cylinder storage) 커패시터 위 층간절연막을 평탄화하는 방법에 관한 것이다. 디램(DRAM)에서 OCS 커패시터가 형성되는 셀 영역과 그렇지 않은 주변 회로 영역 사이에는 커패시터 높이만큼의 단차가 발생한다. 종래에는 이러한 단차를 제거하기 위해 사진 식각 공정과 화학적 기계적 연마(chemical mechanical polishing : CMP) 공정을 이용하는 복잡한 고가의 방법에 의하였다. 본 발명에서는 저비용으로 간단하게 층간절연막을 평탄화하기 위해서, 커패시터 위의 층간절연막을 3 층 또는 2 층의 막질로 도포하고 식각선택비의 차이가 있는 CMP를 이용한 평탄화를 진행한다. 본 발명에 의하면, 커패시터로 인한 단차를 저비용으로 간단하게 제거하고 층간절연막의 과도(over) 연마로 인한 커패시터 상부전극의 손상을 방지할 수 있다.

【대표도】

도 7



【명세서】

【발명의 명칭】

층간절연막 평탄화 방법{Planarization method of interlayer dielectrics}

【도면의 간단한 설명】

도 1은 반도체 기판 상에 OCS 커패시터가 형성된 상태를 도시한다.

도 2 내지 도 5는 종래 커패시터 위에 형성하는 층간절연막 평탄화 방법을 설명하기 위한 단면도들이다.

도 6 내지 도 9는 본 발명의 제1 실시예에 따른 층간절연막 평탄화 방법을 순차적으로 도시한 단면도들이다.

도 10과 도 11은 실리카(silica) 슬러리와 세리아(ceria) 슬러리에 대해 각 슬러리별 제거율(removal rate)과 선택비를 나타낸 그래프들이다.

도 12와 도 13은 본 발명의 제2 실시예에 따른 층간절연막 평탄화 방법을 순차적으로 도시한 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 특히 OCS(one cylinder storage) 커패시터 위에 형성하는 층간절연막을 평탄화하는 방법에 관한 것이다.

<7> 디램(DRAM)과 같은 반도체 소자의 경우, 제한된 면적에서 충분한 셀 정전용량을 확보하기 위하여 많은 노력이 요구된다. 일반적으로 이용되는 방법의 예로는, 유전막으로서 고유전

물질을 사용하는 방법, 유전막의 두께를 감소시키는 방법, 하부전극의 유효면적을 증가시키는 방법 등이 있다. 이중에서도 기존에 사용하던 유전막을 계속 사용할 수 있고 비교적 공정을 구현하기가 쉽다는 이유에서, 하부전극의 유효면적을 증가시키는 방법이 실공정에 적용하기가 가장 유망하다.

<8> 하부전극의 유효면적을 증가시키는 방법으로는 OCS 커패시터라고 알려져 있는 것과 같이, 하부전극을 실린더 모양으로 입체화하고 그 높이를 증가시키는 방법이 통상 채택되고 있다. 그런데, 하부전극의 높이가 증가되면 커패시터가 형성되는 셀 영역과 커패시터가 형성되지 않는 주변 회로 영역간의 단차가 심하게 발생하는 부작용이 있다.

<9> 예를 들어, 도 1은 반도체 기판(10) 상에 OCS 커패시터(70)가 형성된 상태를 도시한다. 도 1을 참조하면, 셀 영역(C)에는 인접하는 두 개의 게이트(20)에 의하여 자기 정렬되는 콘택 패드(30)가 형성되어 있다. 콘택 패드(30)의 상면에는 콘택플러그(45)가 형성되어 있다. 참조부호 25와 35는 모두 절연막이다. 그리고, 콘택플러그(45) 상면에 접하여 실린더형 하부전극(55a)이 형성되어 있다. 하부전극(55a) 상에 유전막(60)과 상부전극(65)이 순차적으로 형성되고 주변 회로 영역(P) 쪽은 패터닝으로 제거되어 커패시터(70)가 형성된다. 도 1에서 볼 수 있는 바와 같이, 셀 영역(C)과 주변 회로 영역(P)은 커패시터(70) 높이만큼의 단차가 발생한다.

<10> 후속적으로 형성될 금속 배선과 커패시터(70)의 절연을 위해서는 커패시터(70) 위에 층간절연막을 형성해야 한다. 그런데 층간절연막도 커패시터 높이만큼의 단차를 가지게 되어, 이를 평탄화하는 공정을 반드시 수행하여야 한다.

<11> 평탄화 공정이 제대로 수행되지 않았을 때의 문제점은 다음과 같다. 첫째, 층간절연막 평탄화 공정 후에 형성할 금속 배선과 연결하기 위해 콘택홀 형성공정, 텅스텐막 증착공정, 플

라즈마를 사용한 전면식각에 의해 콘택홀 이외의 영역에 존재하는 텅스텐막을 제거하여 텅스텐 플러그를 형성하는 공정 등이 진행되는데, 플라즈마를 사용하는 전면식각 과정에서 경사진 영역에 존재하는 텅스텐막은 잘 제거되지 않기 때문에, 이후의 금속 배선 형성공정에서 누설전류 등의 문제를 유발한다.

<12> 둘째, 반도체 소자의 집적도가 높아질수록 콘택홀 이외의 영역에 존재하는 텅스텐막을 제거하는 공정으로써 플라즈마를 사용하는 전면식각 공정 대신 화학적 기계적 연마(Chemical Mechanical Polishing : CMP) 공정을 선호하게 되는데, 단차가 존재할 경우 CMP 공정을 채용하는 것이 근본적으로 불가능해진다.

<13> 셋째, 셀 영역과 주변 회로 영역 사이에 존재하는 광범위한 단차는 금속 배선에 대한 감광막의 패터닝 공정에서 초점심도(Depth Of Focus; DOF)에 대한 공정마진(process margin)을 감소시킨다. 따라서, 감광막 패터닝을 어렵게 만들고, 그 결과 고집적도의 금속 배선층을 만드는 데 많은 문제점을 야기한다.

<14> 층간절연막 평탄화를 위해 종래에 이용하는 방법은 도 2 내지 도 5에 도시한 바와 같다.

<15> 도 2를 참조하면, 도 1과 같은 구조물 위에 층간절연막(75)을 형성한다. 주변 회로 영역(P)에 형성되는 층간절연막(75)의 상면이 셀 영역(C)에 형성된 커패시터(70)의 상면보다 높도록 층간절연막(75)을 두텁게 형성할 필요가 있다. 다음, 포토레지스트와 같은 감광막을 도포한 후 셀 영역(C)을 오픈하도록 사인 공정으로 감광막 패턴(80)을 형성한다.

- <16> 다음 도 3을 참조하여, 오픈된 셀 영역(C)의 층간절연막(75)을 일정 두께 식각한다(모양이 바뀐 층간절연막은 참조부호 75a로 가리킴). 이로써 셀 영역(C)과 주변 회로 영역(P)의 층간절연막(75a)의 높이가 비슷해진다.
- <17> 감광막 패턴(80)을 제거하고 세정하면 도 4와 같이 셀 영역(C)과 주변 회로 영역(P) 경계에 볼록 솟은 돌출부(77)가 드러나게 된다. 이 돌출부(77)는 CMP 공정으로 제거한다. CMP 공정 후에 층간절연막은 도 5에서와 같이 평탄화되어 있을 것이 요구된다(평탄화된 층간절연막은 참조부호 75b로 가리킴). 평탄화된 층간절연막(75b) 위에 금속을 도포하고 사진 식각 공정으로 금속 배선(90)을 형성한다.
- <18> 그러나, CMP 공정 후에도 층간절연막(75b)에 돌출부(77)의 흔적이 남아 있는 경우가 있으며, 이를 제거하기 위해 과도(over) CMP를 진행하는 경우에는 셀 영역(C)에서의 층간절연막(75b)이 과도하게 식각되어 커패시터(70)의 상부전극(65)이 손상되어 소자에 악영향을 미칠 염려가 있다.
- <19> 그리고, 이 방법에는 도 2 및 도 3을 참조하여 설명한 것과 같은 사진 식각 공정이 포함되며 도 4의 단계에 이어 CMP 공정까지 수행해야 하므로 공정이 매우 복잡하다는 문제가 있다. 따라서, 공정 수율이 떨어지는 단점이 있다.
- <20> 한편 디램 소자는 가능한 신뢰성이 높고 가격이 낮은 칩을 생산할 수 있는 기술이 요구되고 있다. 디램 제조 과정에서 가장 비용이 높은 공정 중의 하나가 바로 사진 공정이다. 사진 공정을 진행하기 위해서는 감광막, 레티클(reticle) 등 고가의 소모재가 필요하고 후속으로 식각에 따른 세정 공정도 필요하다. 그런데, 종래의 평탄화 방법은 이와 같은 사진 식각 공정이 포함되기 때문에 제조 비용이 증가되는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자 하는 기술적 과제는 커패시터 위에 형성하는 층간절연막을 효과적이면서도 경제적으로 평탄화시키는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상기 기술적 과제를 달성하기 위하여 본 발명에 따른 층간절연막 평탄화 방법에서는, 커패시터가 형성된 고단차 영역과 그에 인접한 저단차 영역의 전면에 제1 층간절연막을 형성한다. 그리고, 상기 제1 층간절연막 상에 상기 제1 층간절연막과 식각선택비 차이를 갖는 희생막인 제2 층간절연막을 형성한다. 상기 제2 층간절연막 상에 상기 제2 층간절연막과 식각선택비 차이를 갖는 식각저지막인 제3 층간절연막을 형성한다. 그런 다음, 상기 저단차 영역에서의 상기 제3 층간절연막과 상기 고단차 영역에서의 상기 제1 층간절연막을 식각 종료점으로 이용하여, 상기 고단차 영역에서의 상기 제3 및 제2 층간절연막을 화학적 기계적 연마 (Chemical Mechanical Polishing : CMP)한다.

<23> 본 발명에 있어서, 상기 제3 층간절연막은 상기 제1 층간절연막과 식각선택비 차이가 없는 막으로 형성할 수 있다. 그리고, 상기 제2 층간절연막은 상기 제1 및 제3 층간절연막에 비해 상기 CMP 단계에서의 식각율이 작은 물질로 형성할 수 있다. 상기 저단차 영역에서의 상기 제3 층간절연막의 상단이 상기 고단차 영역에서의 상기 제1 층간절연막의 상단 높이 이상이 되도록 상기 제3 층간절연막을 형성하는 것이 좋다.

<24> 바람직한 실시예에 있어서, 상기 제1 층간절연막은 플로우 필(flow fill), C 폴리머인 SiLK, SiOC, 블랙 다이아몬드(black diamond), CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC(anti reflection coating) 또는 이들의 조합으로 형성할 수 있는데, BPSG(Boro-Phosphorus

Silicate Glass), PSG(Phosphorus Silicate Glass), PETEOS(Plasma Enhanced Tetraethylorthosilicate), HDP(High Density Plasma) 산화막 또는 이들의 조합을 먼저 도포한 후 앞의 막들을 형성하기도 한다. 그리고, 상기 제2 층간절연막은 PEOX(Plasma Enhanced oxide), USG(Undoped Silicate Glass), SOG(Spin On Glass), Fox(Flowable oxide), BPSG, PSG, PETEOS 또는 이들의 조합으로 형성할 수 있다. 또한, 상기 제3 층간절연막은 상기 제1 층간절연막과 동일한 막질로 형성할 수 있다.

<25> 바람직한 실시예에 있어서, 상기 제3 및 제2 층간절연막을 CMP하는 단계는, 상기 제2 층간절연막과 상기 제3 층간절연막 사이의 식각선택비가 5:1 이상인 슬러리, 예컨대 앞에서 예로 든 막질의 조합을 이용하였다면 세리아(ceria) 슬러리를 사용한 단일 단계로 수행한다. 더욱 바람직한 실시예에서는, 상기 제2 층간절연막에 비하여 상기 제3 층간절연막의 식각율이 큰 제1 슬러리 혹은 상기 제2 층간절연막과 상기 제3 층간절연막에 대해 식각선택비 차이가 없는 제1 슬러리를 사용하여 상기 고단차 영역에서의 상기 제3 층간절연막을 제거하는 단계와, 상기 제1 및 제3 층간절연막에 비하여 상기 제2 층간절연막의 식각율이 큰 제2 슬러리를 사용하여 상기 고단차 영역에서의 상기 제2 층간절연막을 제거하는 단계를 포함하여 수행한다. 여기서도, 상기 제2 슬러리는 상기 제2 층간절연막과 상기 제3 층간절연막 사이의 식각선택비가 5:1 이상이 되도록 하는 슬러리인 것이 바람직하다. 따라서, 앞에서 예로 든 막질의 조합을 이용하였다면 상기 제2 슬러리로는 세리아 슬러리를 사용할 수 있다. 그리고, 상기 제2 층간절연막에 비하여 상기 제3 층간절연막의 식각율이 큰 제1 슬러리로는 실리카(silica) 슬러리를 사용할 수 있다. 그러나, 상기 제3 및 제2 층간절연막을 CMP하는 단계는, 꼭 이러한 종류의 슬러리만 사용해야 되는 것은 아니고, 망가니아(mangania) 슬러리, 알루미나(alumina) 슬러리 또는 이들과 실리카 슬러리, 세리아 슬러리의 조합을 사용하여도 된다.

- <26> 상기 제1 내지 제3 층간절연막의 적층 순서를 바꾸어, 예컨대 상기 제1 및 제3 층간절연막은 PEOX, USG, SOG, Fox, BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하고, 상기 제2 층간절연막은 플로우 필, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합으로 형성하여도 된다.
- <27> 본 발명에 따른 다른 층간절연막 평탄화 방법에서는, 2 층의 층간절연막을 적층하여 CMP를 실시한다. 이를 테면, 커패시터가 형성된 고단차 영역과 그에 인접한 저단차 영역의 전면에서 제1 층간절연막을 형성한다. 상기 제1 층간절연막 상에 상기 제1 층간절연막과 식각선택비 차이를 갖는 희생막인 제2 층간절연막을 형성한다. 그런 다음, 상기 제1 층간절연막보다 상기 제2 층간절연막의 식각율이 큰 슬러리를 사용하고, 상기 고단차 영역에서의 상기 제1 층간절연막을 식각 종료점으로 이용하여, 상기 고단차 영역에서의 상기 제2 층간절연막을 CMP한다.
- <28> 여기서, 상기 제1 층간절연막은 PEOX, USG, Fox, BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하고, 상기 제2 층간절연막은 플로우 필, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합으로 형성할 수 있다.
- <29> 이상과 같이, 본 발명에서는 커패시터 위의 층간절연막 평탄화를 위해 2 층 혹은 3 층의 층간절연막 조합을 사용하고 식각선택비가 있는 CMP(이하, 선택적 CMP)를 실시함으로써, 종래의 평탄화 방법에서와 같은 사진 식각 공정을 생략할 수 있게 된다. 공정 비용이 큰 사진 식각 공정을 생략할 수 있기 때문에 평탄화 공정 모듈(module) 비용을 낮추고 공정 수율을 개선함으로써 가격이 저렴한 소자를 제조할 수 있게 된다.
- <30> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 도면에서 동일한 참조부호는 동일한 요소를 지칭한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형

태로 변형될 수 있으며, 본 발명의 범위가 아래에서 기술하는 실시예들에 한정되는 것으로 해석되어서는 안된다. 본 발명은 첨부된 청구범위에 의해 정의되는 본 발명의 사상 및 범주 내에 포함될 수 있는 대안, 변형 및 등가를 포함한다. 또한, 후속하는 본 발명의 상세한 설명에서 다수의 특정 세부는 본 발명의 완전한 이해를 돕기 위해 제공된 것이다. 그러나, 당 분야에서 숙련된 자라면 이들 특정 세부 없이도 본 발명이 실시될 수 있음을 명백히 알 것이다.

<31> 도 6 내지 도 9는 본 발명의 제1 실시예에 따른 층간절연막 평탄화 방법을 순차적으로 도시한 단면도들이다.

<32> 먼저 도 6은 반도체 기판(110) 상에 OCS 커패시터(170)가 형성된 상태를 도시한다. 도 6을 참조하면, 셀 영역(C)과 주변 회로 영역(P)이 한정된 반도체 기판(110)이 제공된다. 셀 영역(C)에서 인접하는 두 개의 게이트(120)에 의하여 자기 정렬되는 콘택 패드(130)가 형성되어 있다. 콘택 패드(130)의 상면에는 콘택플러그(145)가 형성되어 있다. 참조부호 125와 135는 모두 절연막이다.

<33> 계속해서 도 6을 참조하면, 콘택플러그(145) 상면에 접하여 실린더형 하부전극(155a)이 형성되어 있다. 하부전극(155a) 상에 유전막(160)과 상부전극(165)이 순차적으로 형성되고 주변 회로 영역(P) 쪽은 패터닝으로 제거되어 셀 영역(C)에 커패시터(170)가 형성되어 있다. 도 6에서 볼 수 있는 바와 같이, 셀 영역(C)과 주변 회로 영역(P)은 커패시터(170) 높이만큼의 단차가 발생한다. 고집적 디램에서, 커패시터(170)의 높이는 통상 약 15000Å 정도이다.

<34> 후속의 금속 배선 공정을 수행하기 위해서, 도 7에서와 같이, 커패시터(170)가 형성되어 고단차 영역인 셀 영역(C)과 그에 인접한 저단차 영역인 주변 회로 영역(P)의 전면에 커패시터(170)와 상부 배선을 절연시키기 위한 제1 층간절연막(175)을 형성한다.

- <35> 제1 층간절연막(175)은 후속 공정에서 CMP를 진행할 때 셀 영역(C) 위에서 더 이상의 식각을 저지하는 식각 종료점으로 삼을 수 있다. 제1 층간절연막(175)을 도포하는 데 있어 그 두께는 약 1000Å-4000Å 정도로 하는 것이 적절하고, 막질은 플로우 필(flow fill), C 폴리머인 SiLK, SiOC, 블랙 다이아몬드(black diamond), TMCTS(tetra methyl cyclo tetra silane)을 이용한 막질(CORAL이라고 잘 알려져 있음), 언도프트 폴리실리콘, SiN, SiON, BN, ARC(anti reflection coating) 또는 이들의 조합을 사용한다. 또는, 일반적인 산화막인 BPSG(Boro-Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), PETEOS(Plasma Enhanced Tetraethylorthosilicate), HDP(High Density Plasma) 산화막 또는 이들의 조합을 먼저 도포한 후 앞의 막들을 형성할 수도 있다. BPSG, PSG는 잘 알려진 바와 같이 화학 기상 증착(CVD)으로 증착한다. PETEOS, HDP 산화막의 증착 방법은 PE-CVD(Plasma Enhanced-CVD)에 의한다. SiN과 SiON 증착 방법도 PE-CVD에 의한다. 블랙 다이아몬드는 트리 메틸 사일렌(tri methyl silane)과 산소의 반응을 이용하여 PE-CVD로 형성하는 막이다.
- <36> 계속 도 7을 참조하여, 제1 층간절연막(175) 상에 제2 층간절연막(180)을 형성하는데, 제2 층간절연막(180)은 제1 층간절연막(175)과 식각선택비 차이를 가지며, 선택적 CMP시 평탄화를 위한 희생막이다. 제2 층간절연막(180)은 PEOX(Plasma Enhanced oxide), USG(Undoped Silicate Glass), SOG(Spin On Glass), Fox(Flowable oxide), BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하는 것이 바람직하다. PEOX는 PE-CVD로 증착할 수 있으며, USG, PSG, BPSG는 CVD로 증착한다. 그리고 SOG, Fox는 스핀 코팅법에 의해 형성한다. 제2 층간절연막(180)의 두께는 약 20000Å 정도로 할 수 있다.
- <37> 제2 층간절연막(180) 상에 이와 다른 특성의 제3 층간절연막(185)을 도포하는데, 이 막질은 제1 층간절연막(175)과 동일하거나 유사한 특성을 가지며, 제2 층간절연막(180)과는 식각

선택비 차이를 갖는 막으로서, CMP 공정으로 평탄화할 때 식각저지막으로 사용된다. 제3 층간 절연막(185)은 제1 층간절연막(175)과 식각선택비 차이가 없는 막으로 형성할 수 있다. 나아가, 제3 층간절연막(185)은 제1 층간절연막(175)과 동일한 막질로 형성할 수 있다. 따라서, 앞에서 언급한 대로 플로우 필, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합을 이용하여 형성할 수 있다. 어떠한 종류의 막을 사용하든지, 제2 층간절연막(180)은 제1 및 제3 층간절연막(175, 185)에 비해 후속 CMP 단계에서의 식각율이 작은 물질로 형성하는 것이 바람직하다. 그리고, 저단차 영역에서의 제3 층간절연막(185)의 상단이 고단차 영역에서의 제1 층간절연막(175)의 상단 높이 이상이 되도록 형성하는 것이 바람직하다. 적절한 제3 층간절연막(185)의 두께는 약 1500Å 정도로 할 수 있다.

<38> 계속하여 도 7에 도시한 바와 같이, 제2 층간절연막(180)에 비해 제3 층간절연막(185)이 잘 제거되는 조건으로 1차 CMP 공정(187)을 수행한다. 예를 들어 제2 층간절연막(180)에 비하여 제3 층간절연막(185)의 식각율이 큰 슬러리를 사용한다. 앞에서 예로 든 막질의 조합을 그대로 이용하는 경우에, 여기서는 실리카 슬러리를 사용하면 된다. 제3 층간절연막(185)을 평탄화시키는 과정에서 공정 초반부에는 고단차 영역인 셀 영역(C)에서의 부분이 먼저 제거되고 저단차 영역인 주변 회로 영역(P)에서는 거의 제거가 되지 않는다. 고단차 영역에서의 제3 층간절연막(185)이 완전히 제거되고 제2 층간절연막(180)이 노출되면서부터는 식각율이 급속히 떨어지므로, 고단차 영역에서의 제2 층간절연막(180) 제거량이 급격히 낮아지기 때문에 과도 CMP에 의한 하부전극(155a)의 어택(attack)을 막을 수 있다.

<39> 1차 CMP 공정(187)을 수행하고 나면 도 8과 같다. 도 8에서 참조부호 "185a"는 저단차 영역에 남아 후속 공정의 식각저지막으로 사용되는 제3 층간절연막 부분을 가리키며, "180a"는 고단차 영역 부분이 약간 제거된 제2 층간절연막을 가리킨다. 다음으로, 제3 층간절연막

(185a)에 비해 제2 층간절연막(180a)이 잘 제거되는 조건, 이를 테면, 제1 및 제3 층간절연막(175, 185a)에 비하여 제2 층간절연막(180a)의 식각율이 큰 슬러리를 사용하여 고단차 영역에서의 제2 층간절연막(180a)에 대해 2차 CMP(189)를 실시한다. 즉, 제2 층간절연막(180a)에 대하여 선택적 CMP를 실시하여 단차를 제거한다. 여기서, 슬러리는 제2 층간절연막(180a)과 제3 층간절연막(185a) 사이의 식각선택비가 5:1 이상인 것을 사용하는 것이 바람직하며, 앞에서 예로 든 막질의 조합을 사용하는 경우에 세리아 슬러리를 사용하는 것이 바람직하다.

<40> 제2 층간절연막(180a)이 식각이 잘 되는 조건으로 CMP함에 따라 저단차 영역에서의 제3 층간절연막(185a)과 고단차 영역에서의 제1 층간절연막(175)을 식각 종료점으로 이용하여 제2 층간절연막(180a)을 평탄화시킬 수 있다. 그 결과가 도 9에 도시되어 있다. 참조부호 "180b"는 저단차 영역에 남아 있는 제2 층간절연막을 가리킨다. 후속적으로 금속 도포 및 사진 식각 공정으로 금속 배선(190)을 형성한다.

<41> 이상과 같이 층간절연막의 CMP에 있어서, 제2 층간절연막에 비하여 제3 층간절연막의 식각율이 큰 제1 슬러리를 사용하여 고단차 영역에서의 제3 층간절연막을 제거하는 단계와, 제1 및 제3 층간절연막에 비하여 제2 층간절연막의 식각율이 큰 제2 슬러리를 사용하여 고단차 영역에서의 제2 층간절연막을 제거하는 단계를 포함하여 수행하는 것이 바람직하다. 그러나, 경우에 따라서는 제2 층간절연막과 제3 층간절연막에 대해 식각선택비 차이가 없는 제1 슬러리를 사용하여 1차 평탄화를 하고 선택비가 5:1 이상인 제2 슬러리를 사용하여 2차 평탄화하여도 된다.

<42> 한편, 도 7에서 실리카 슬러리를 이용한 CMP 단계없이 제2 층간절연막(180)과 제3 층간절연막(185) 사이의 식각선택비가 5:1 이상인 세리아 슬러리를 사용한 단일 단계로 CMP를 수행하여 도 9에서와 같이 평탄화시키는 것도 가능하다. 그러나, 제3 및 제2 층간절연막을 CMP하

는 단계에 사용되는 슬러리는 꼭 이것에만 한정되는 것은 아니고, 망가니아 슬러리, 알루미늄 슬러리 또는 이들과 실리카 슬러리, 세리아 슬러리를 조합한 것을 사용할 수도 있다.

<43> 도 10과 도 11에 본 발명의 실험예에 따른 실리카 슬러리와 세리아 슬러리에 대해 각 슬러리별 제거율(removal rate)과 선택비를 나타내었다. 도 10은 실리카 슬러리를 사용한 경우인데, PETEOS(본 제1 실시예에서 제2 층간절연막으로 사용되는 막질)에 비해 플로우 필(본 제1 실시예에서 제1 및/또는 제3 층간절연막으로 사용되는 막질)의 제거율(곧, 식각율)이 더 큰 것을 알 수 있다. 도 11은 세리아 슬러리를 사용한 경우인데, PETEOS 대 플로우 필의 선택비가 약 5.4:1이 되는 것을 확인할 수 있다. 따라서, 본 발명에 따라 세리아 슬러리를 사용할 경우에 제1 및 제3 층간절연막에 비해 제2 층간절연막을 선택적으로 제거하는 선택적 CMP가 효과적으로 수행될 것임을 예상할 수 있다.

<44> 이상에 자세히 설명한 바와 같이, 본 실시예에서는 비교적 단차가 큰 커패시터 위의 층간절연막 평탄화를 위해 층간절연막을 3 층으로 도포하고, 그 중 두번째 층간절연막을 첫번째 CMP 공정에서 스톱핑층으로 사용하고, 첫번째 층간절연막과 세번째 층간절연막을 두번째 CMP 공정에서 스톱핑층으로 사용함으로써 사진 식각 공정을 생략할 수 있게 된다. 공정 비용이 큰 사진 식각 공정을 생략할 수 있기 때문에 공정 단가를 낮추고 공정 수율을 개선하여 저비용 소자를 제조할 수 있는 장점이 있다.

<45> 식각선택비가 다른 막을 조합하면 되므로, 적층의 순서를 달리하여 제1 및 제3 층간절연막을 PEOX, USG, SOG, Fox, BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하고, 제2 층간절연막을 플로우 필, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합으로 형성하여도 된다. 이 때 사용하는 슬러리의 종류는 앞에서 예로 든 실리카 슬러리, 알루미늄 슬러리, 망가니아 슬러리, 세리아 슬러리 등이다.

<46> 도 12 및 도 13은 본 발명의 제2 실시예에 따른 층간절연막 평탄화 방법을 순차적으로 도시한 단면도들이다.

<47> 제2 실시예에서는 2 층의 층간절연막을 적층하여 CMP를 실시한다. 도 12에 도시한 바와 같이, 커패시터(170)가 형성된 고단차 영역, 즉 셀 영역(C)과 그에 인접한 저단차 영역, 즉 주변 회로 영역(P)의 전면에 제1 층간절연막(200)을 형성한다. 제1 층간절연막(200) 상에 제1 층간절연막(200)과 식각선택비 차이를 갖는 희생막인 제2 층간절연막(210)을 형성한다. 이 때, 제2 층간절연막(210)의 상단이 고단차 영역에서의 제1 층간절연막(200)의 상단 높이 이상이 되도록 형성한다. 여기서, 제1 층간절연막(200)은 PEOX, USG, Fox, BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하고, 제2 층간절연막(210)은 플로우 필, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합으로 형성한다. 그러면 소정의 슬러리에 대해 식각 선택비를 가질 수 있다.

<48> 그런 다음, 제1 층간절연막(200)보다 제2 층간절연막(210)의 식각율이 큰 슬러리를 사용하고, 고단차 영역에서의 제1 층간절연막(200)을 식각 종료점으로 이용하여, 고단차 영역에서의 제2 층간절연막(210)을 CMP(212)한다. 예를 들어, 실리카 슬러리를 사용한다. 그러면, 도 13에서와 같이 제1 층간절연막(200)과 제2 층간절연막(210a)이 평탄화된 상면을 이루게 된다.

<49> 본 실시예에서는 상기 제1 실시예에서와 같이 3 층의 층간절연막을 형성하는 대신 2 층의 층간절연막을 형성하므로 공정을 단순화시킬 수 있다.

<50> 본 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 수정 및 변형이 가능함은 명백하다. 예를 들어,

실시예들에서는 디램의 셀 영역과 주변 회로 영역을 덮는 층간절연막의 단차를 제거하는 방법을 위주로 설명하였으나, 단차가 존재하는 층간절연막이라면 굳이 디램에 한정되는 일이 없이 본 발명에 따른 층간절연막 평탄화 방법을 적용할 수 있을 것이다. 예컨대, 디램 셀과 로직(logic) 셀을 동일한 칩 내에서 동시에 제조하는 디램 복합 반도체(Merged DRAM in Logic; MDL)의 경우에는, 실린더형 커패시터가 형성되는 디램 셀 영역과 실린더형 커패시터가 형성되지 않는 로직 셀 영역 사이의 층간절연막 평탄화에도 적용될 수 있다. 본 발명의 범주는 첨부된 청구범위 및 그 등가물에 의해 한정된다.

【발명의 효과】

<51> 상술한 본 발명에 의하면, 종래 층간절연막의 평탄화 공정에서 셀 영역 오픈을 위해 수행하던 사진 식각 공정을 생략할 수 있기 때문에 공정을 단순화할 수 있고 수율을 높일 수 있으며 제조 비용을 대폭 줄일 수 있다. 또한 선택적 CMP를 진행하기 때문에 인-웨이퍼(In-wafer) 산포를 개선할 수 있고, 공정수를 줄임으로써 각 공정에서 발생할 수 있는 결함(defect) 유발 가능성을 최소화하여 안정된 소자 동작을 구현할 수 있을 것으로 예상된다.

【특허청구범위】

【청구항 1】

커패시터가 형성된 고단차 영역과 그에 인접한 저단차 영역의 전면에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막 상에 상기 제1 층간절연막과 식각선택비 차이를 갖는 희생막인 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막 상에 상기 제2 층간절연막과 식각선택비 차이를 갖는 식각저지막인 제3 층간절연막을 형성하는 단계; 및

상기 저단차 영역에서의 상기 제3 층간절연막과 상기 고단차 영역에서의 상기 제1 층간절연막을 식각 종료점으로 이용하여, 상기 고단차 영역에서의 상기 제3 및 제2 층간절연막을 화학적 기계적 연마(chemical mechanical polishing)하는 단계를 포함하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 2】

제1항에 있어서, 상기 제3 층간절연막은 상기 제1 층간절연막과 식각선택비 차이가 없는 막으로 형성하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 3】

제1항에 있어서, 상기 제2 층간절연막은 상기 제1 및 제3 층간절연막에 비해 상기 화학적 기계적 연마 단계에서의 식각율이 작은 물질로 형성하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 4】

제1항에 있어서, 상기 저단차 영역에서의 상기 제3 층간절연막의 상단이 상기 고단차 영역에서의 상기 제1 층간절연막의 상단 높이 이상이 되도록 상기 제3 층간절연막을 형성하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 5】

제1항에 있어서, 상기 제3 및 제2 층간절연막을 화학적 기계적 연마하는 단계는, 상기 제2 층간절연막과 상기 제3 층간절연막 사이의 식각선택비가 5:1 이상인 슬러리를 사용한 단일 단계로 수행하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 6】

제5항에 있어서, 상기 제1 및 제3 층간절연막은 플로우 필(flow fill), SiLK, SiOC, 블랙 다이아몬드(black diamond), CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC(anti reflection coating) 또는 이들의 조합으로 형성하고, 상기 제2 층간절연막은 PEOX(Plasma Enhanced oxide), USG(Undoped Silicate Glass), SOG(Spin On Glass), Fox(Flowable oxide), BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하며, 상기 슬러리는 세리아(ceria) 슬러리인 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 7】

제1항에 있어서, 상기 제3 및 제2 층간절연막을 화학적 기계적 연마하는 단계는, 상기 제2 층간절연막에 비하여 상기 제3 층간절연막의 식각율이 큰 제1 슬러리를 사용하여 상기 고단차 영역에서의 상기 제3 층간절연막을 제거하는 단계; 및

상기 제1 및 제3 층간절연막에 비하여 상기 제2 층간절연막의 식각율이 큰 제2 슬러리를 사용하여 상기 고단차 영역에서의 상기 제2 층간절연막을 제거하는 단계를 포함하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 8】

제1항에 있어서, 상기 제3 및 제2 층간절연막을 화학적 기계적 연마하는 단계는, 상기 제2 층간절연막과 상기 제3 층간절연막에 대해 식각선택비 차이가 없는 제1 슬러리를 사용하여 상기 고단차 영역에서의 상기 제3 및 제2 층간절연막을 제거하는 단계; 및 상기 제1 및 제3 층간절연막에 비하여 상기 제2 층간절연막의 식각율이 큰 제2 슬러리를 사용하여 상기 고단차 영역에서의 상기 제2 층간절연막을 제거하는 단계를 포함하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 9】

제7항 또는 제8항에 있어서, 상기 제2 슬러리는 상기 제2 층간절연막과 상기 제3 층간절연막 사이의 식각선택비가 5:1 이상인 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 10】

제7항 또는 제8항에 있어서, 상기 제1 및 제3 층간절연막은 플로우 필(flow fill), SiLK, SiOC, 블랙 다이아몬드(black diamond), CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC(anti reflection coating) 또는 이들의 조합으로 형성하고, 상기 제2 층간절연막은 PEOX(Plasma Enhanced oxide), USG(Undoped Silicate Glass), SOG(Spin On Glass), Fox(Flowable oxide), BPSG(Boro-Phosphorus Silicate Glass), PSG(Phosphorus Silicate

Glass), PETEOS(Plasma Enhanced Tetraethylorthosilicate) 또는 이들의 조합으로 형성하며, 상기 제2 슬러리는 세리아 슬러리인 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 11】

제7항에 있어서, 상기 제1 및 제3 층간절연막은 플로우 필, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합으로 형성하고, 상기 제2 층간절연막은 PEOX, USG, SOG, Fox, BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하며, 상기 제1 슬러리는 실리카(silica) 슬러리인 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 12】

제1항에 있어서, 상기 제1 및 제3 층간절연막은 플로우 필, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합으로 형성하고, 상기 제2 층간절연막은 PEOX, USG, SOG, Fox, BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 13】

제12항에 있어서, 상기 제1 층간절연막은 BPSG, PSG, PETEOS, HDP(High Density Plasma) 산화막 또는 이들의 조합을 먼저 도포한 후 상기 플로우 필, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합을 형성하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 14】

제1항 또는 제12항에 있어서, 상기 제3 층간절연막은 상기 제1 층간절연막과 동일한 막 질로 형성하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 15】

제1항에 있어서, 상기 제3 및 제2 층간절연막을 화학적 기계적 연마하는 단계는, 실리카 슬러리, 세리아 슬러리, 망가니아(mangania) 슬러리, 알루미나(alumina) 슬러리 또는 이들의 조합을 사용하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 16】

제1항에 있어서, 상기 제1 및 제3 층간절연막은 PEOX, USG, SOG, Fox, BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하고, 상기 제2 층간절연막은 플로우 필, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합으로 형성하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 17】

커패시터가 형성된 고단차 영역과 그에 인접한 저단차 영역의 전면에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막 상에 상기 제1 층간절연막과 식각선택비 차이를 갖는 희생막인 제2 층간절연막을 형성하는 단계; 및

상기 제1 층간절연막보다 상기 제2 층간절연막의 식각율이 큰 슬러리를 사용하고, 상기 고단차 영역에서의 상기 제1 층간절연막을 식각 종료점으로 이용하여, 상기 고단차 영역에서의 상기 제2 층간절연막을 화학적 기계적 연마하는 단계를 포함하는 것을 특징으로 하는 층간절연막 평탄화 방법.

【청구항 18】

제17항에 있어서, 상기 제1 층간절연막은 PEOX, USG, Fox, BPSG, PSG, PETEOS 또는 이들의 조합으로 형성하고, 상기 제2 층간절연막은 플로우 펠, SiLK, SiOC, 블랙 다이아몬드, CORAL, 언도프트 폴리실리콘, SiN, SiON, BN, ARC 또는 이들의 조합으로 형성하는 것을 특징으로 하는 층간절연막 평탄화 방법.

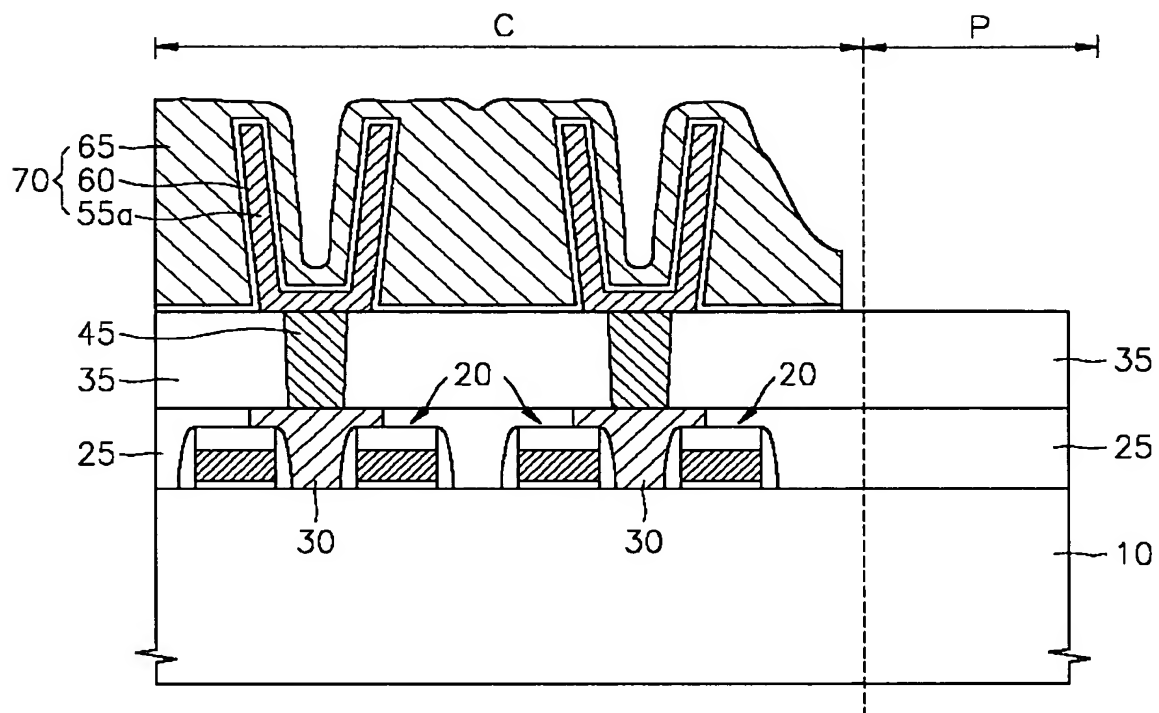
【청구항 19】

제17항에 있어서, 상기 저단차 영역에서의 상기 제2 층간절연막의 상단이 상기 고단차 영역에서의 상기 제1 층간절연막의 상단 높이 이상이 되도록 상기 제2 층간절연막을 형성하는 것을 특징으로 하는 층간절연막 평탄화 방법.



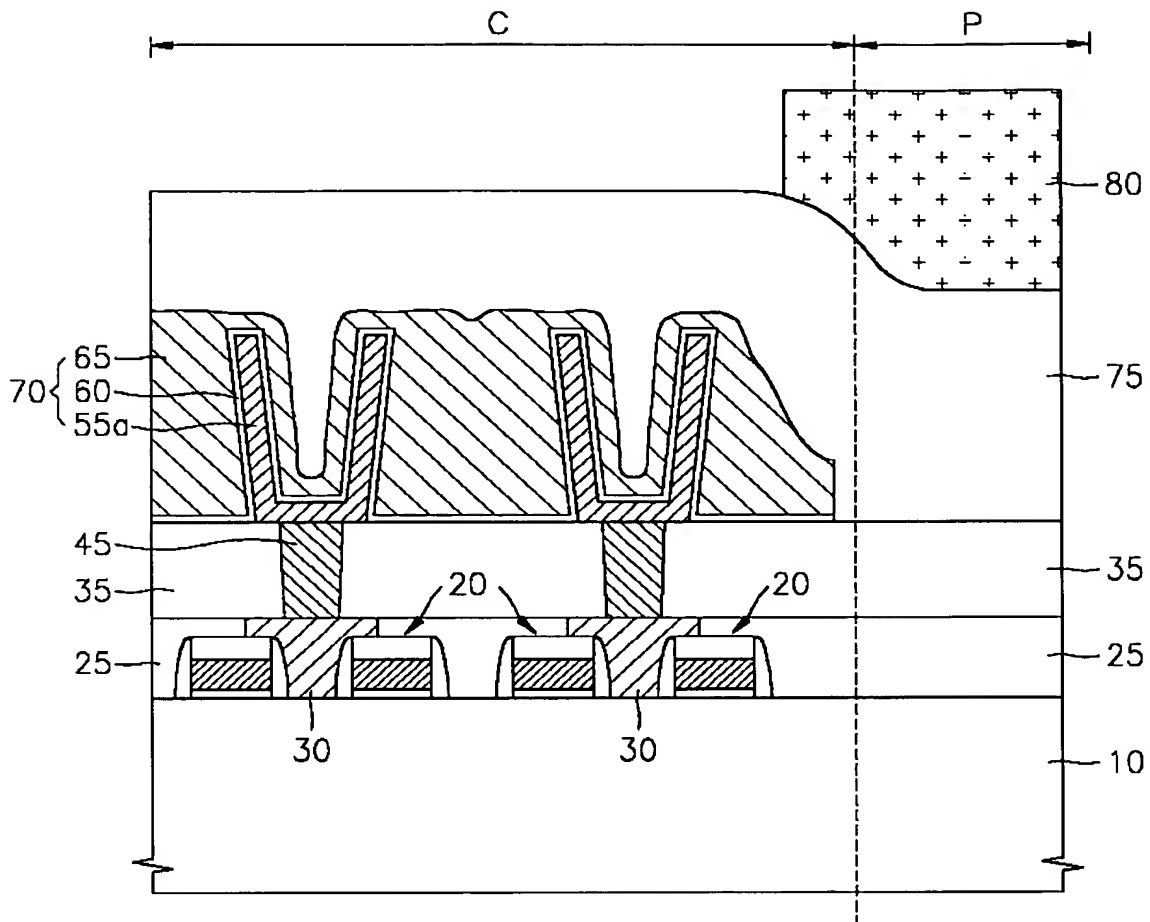
【도면】

【도 1】



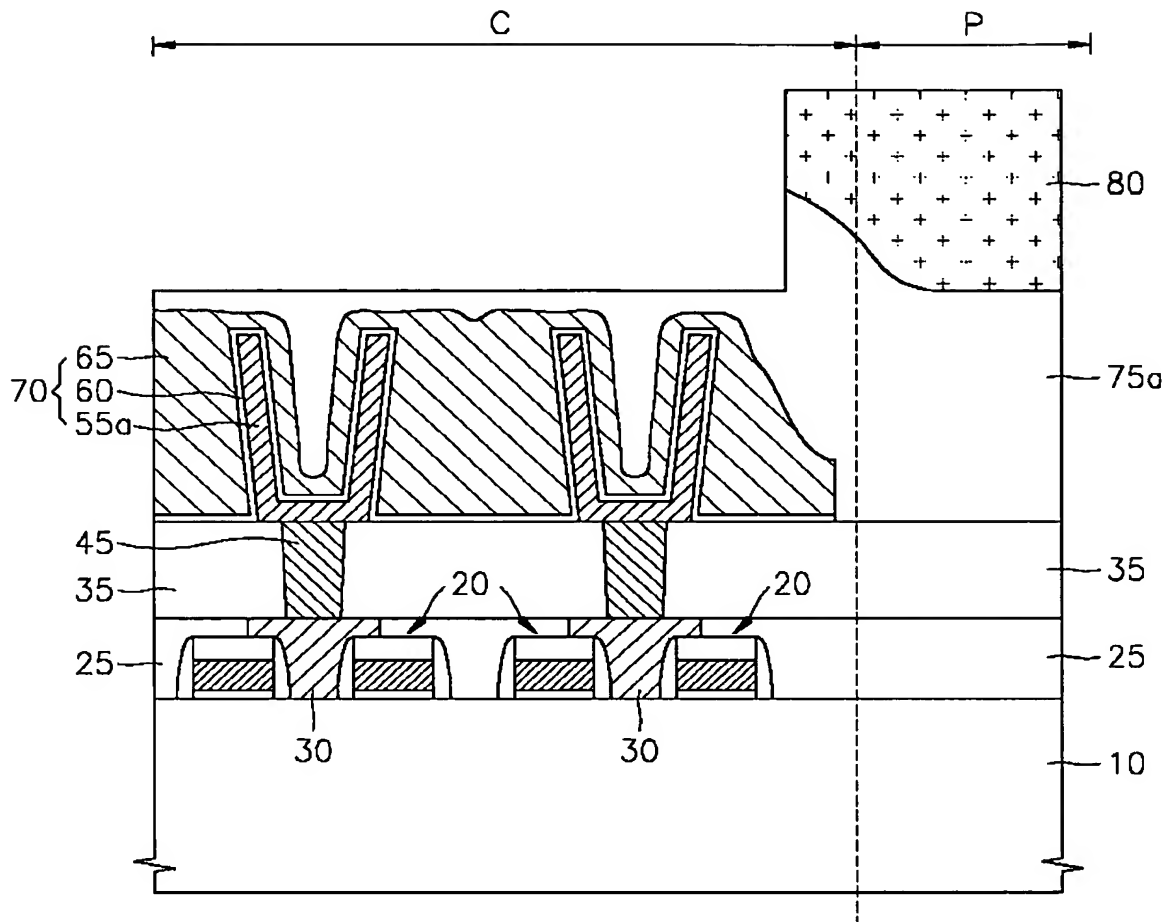


【도 2】



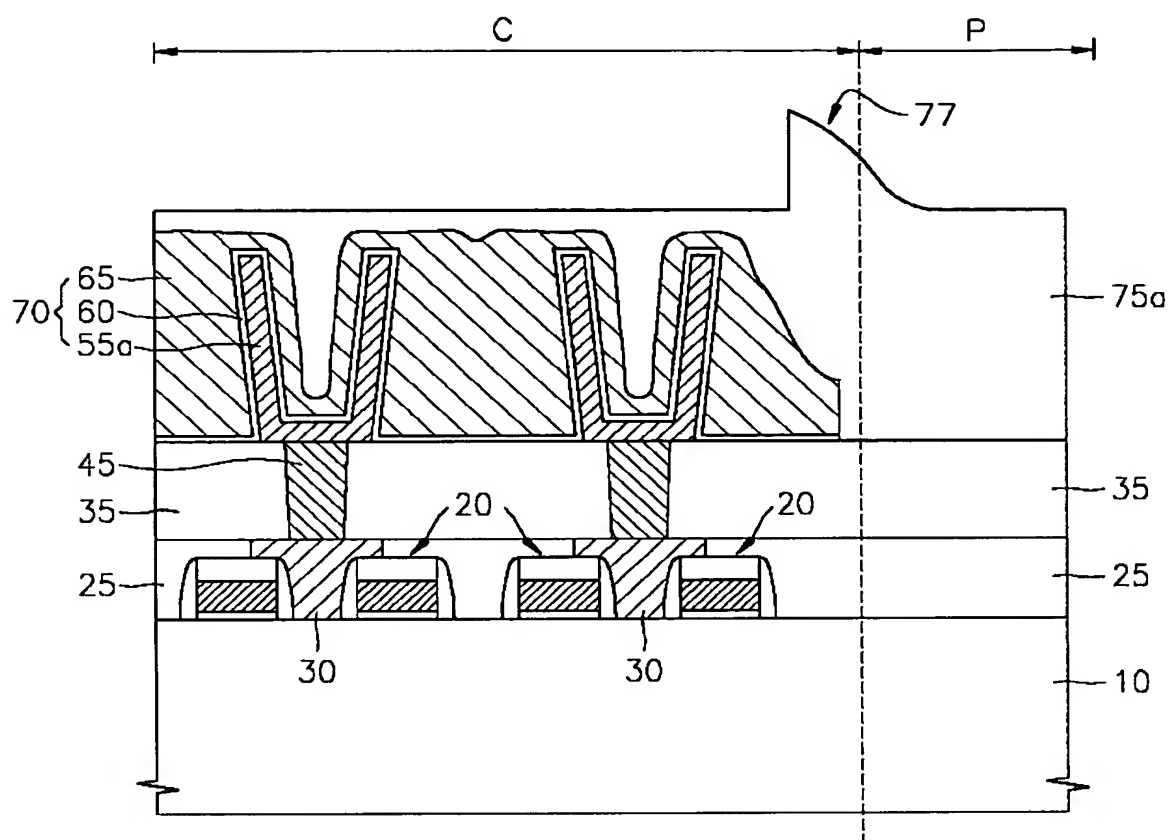


【도 3】

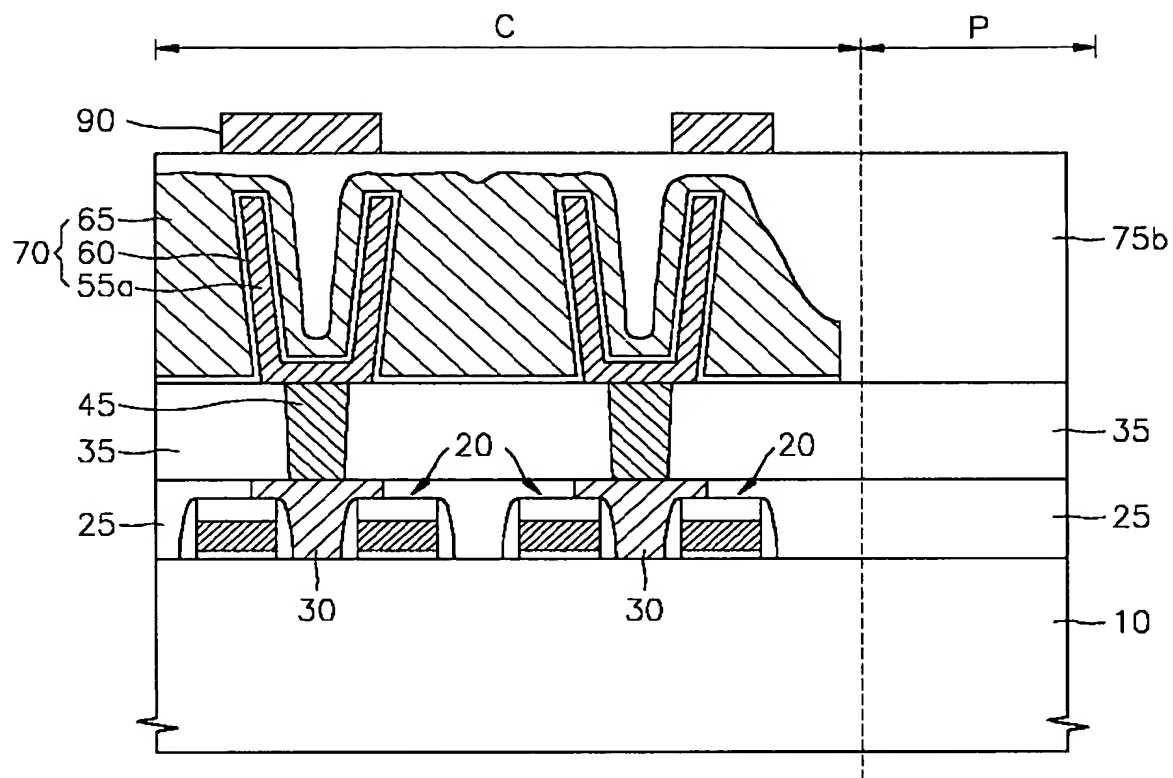




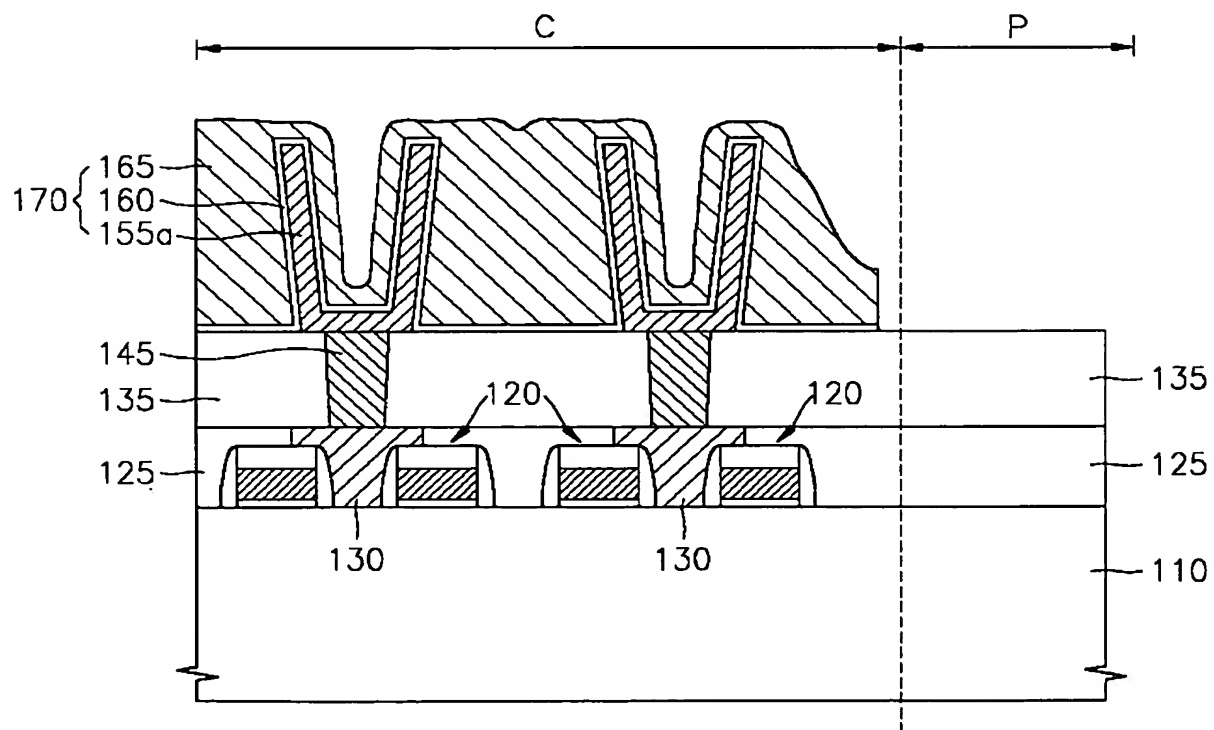
【도 4】



【도 5】

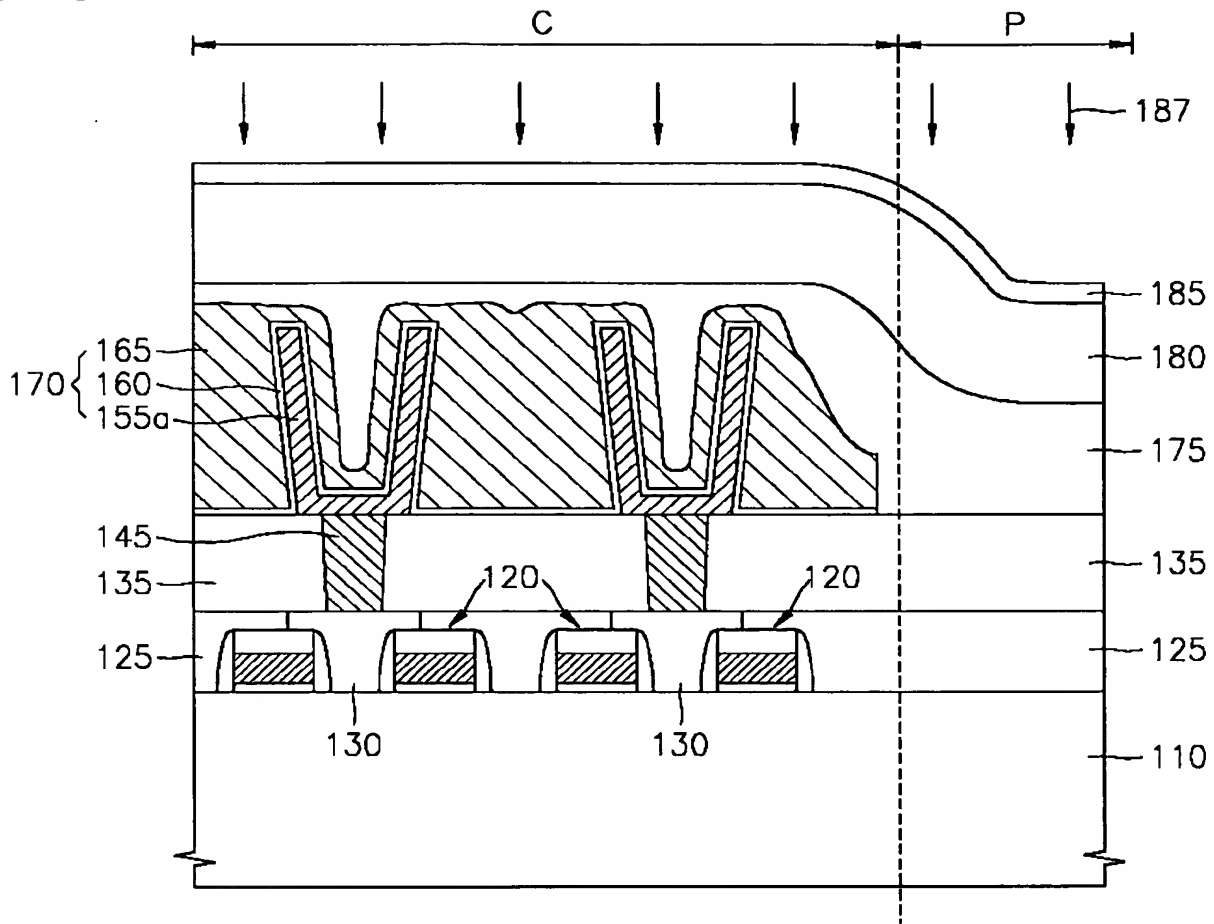


【도 6】

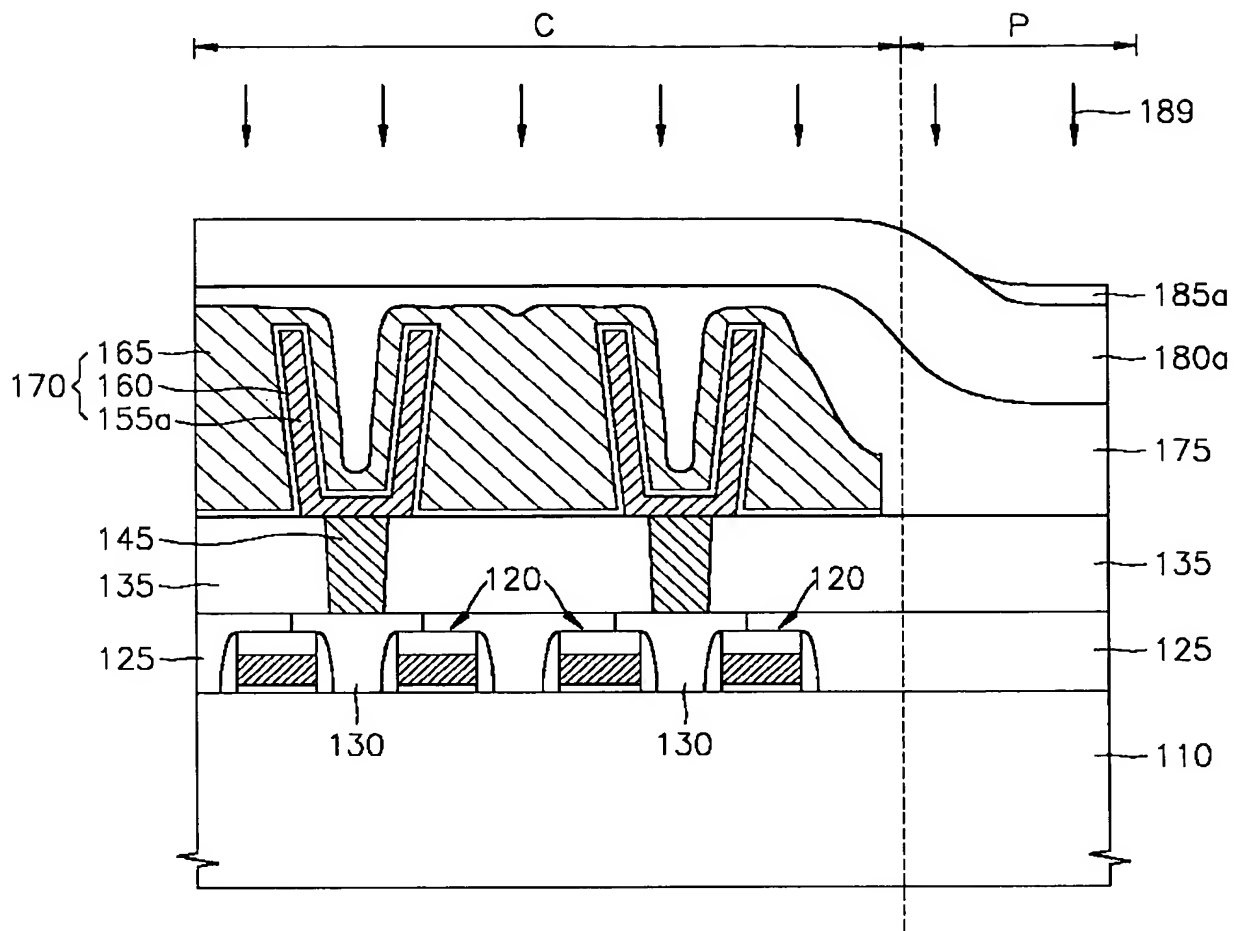




【도 7】

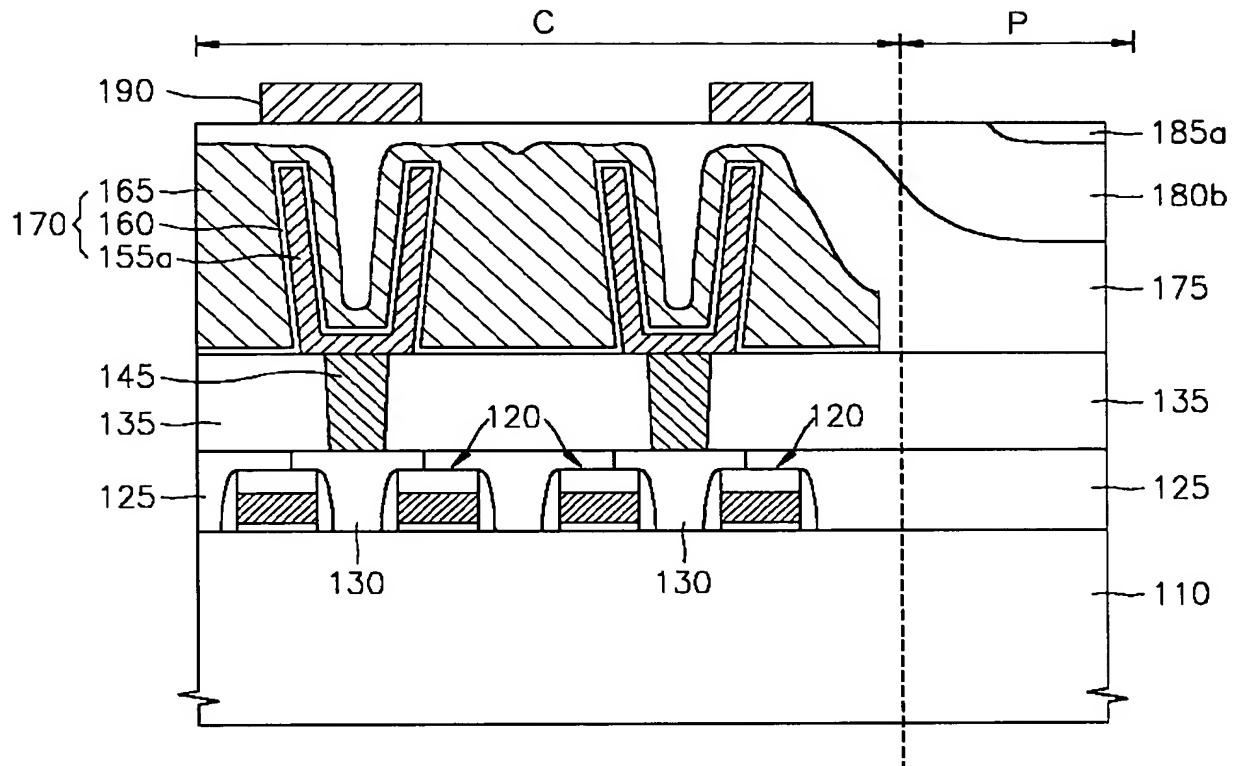


【도 8】

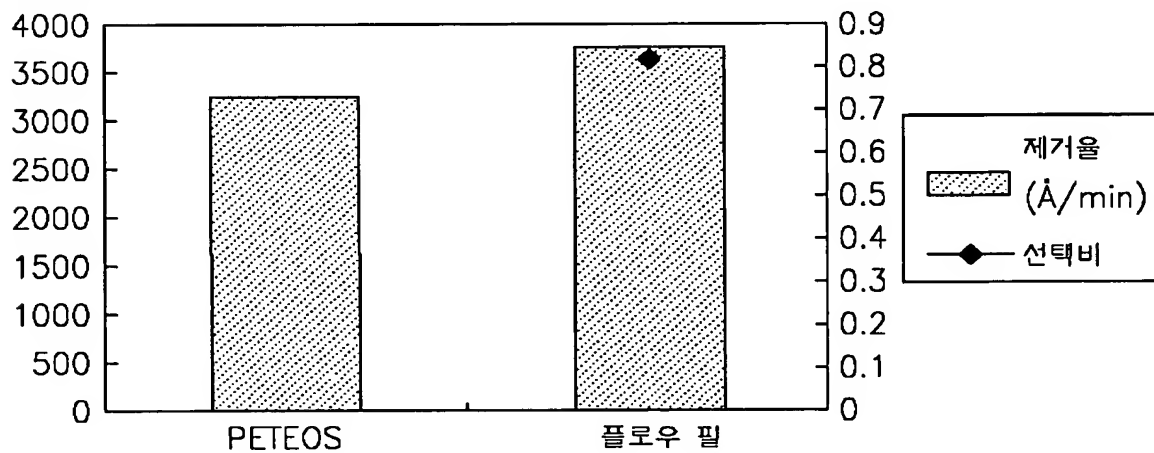




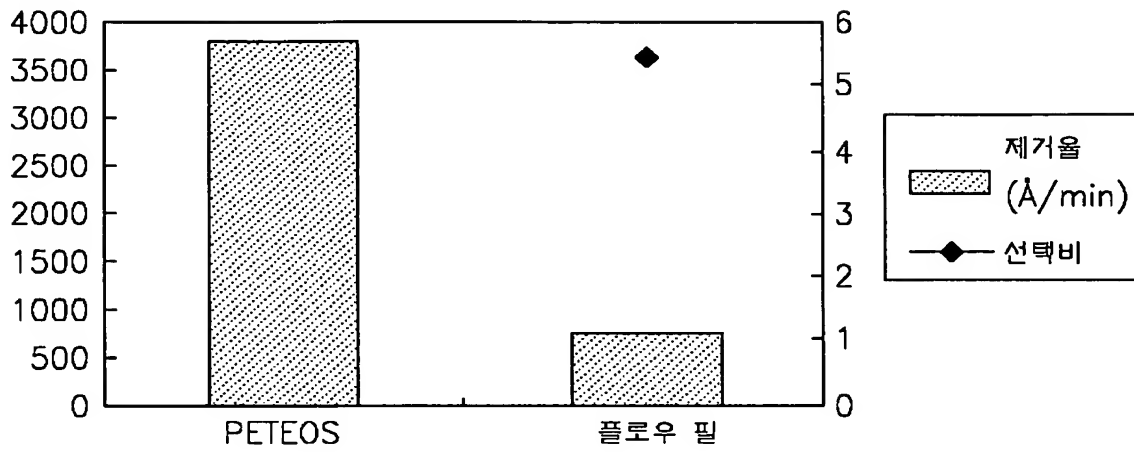
【도 9】



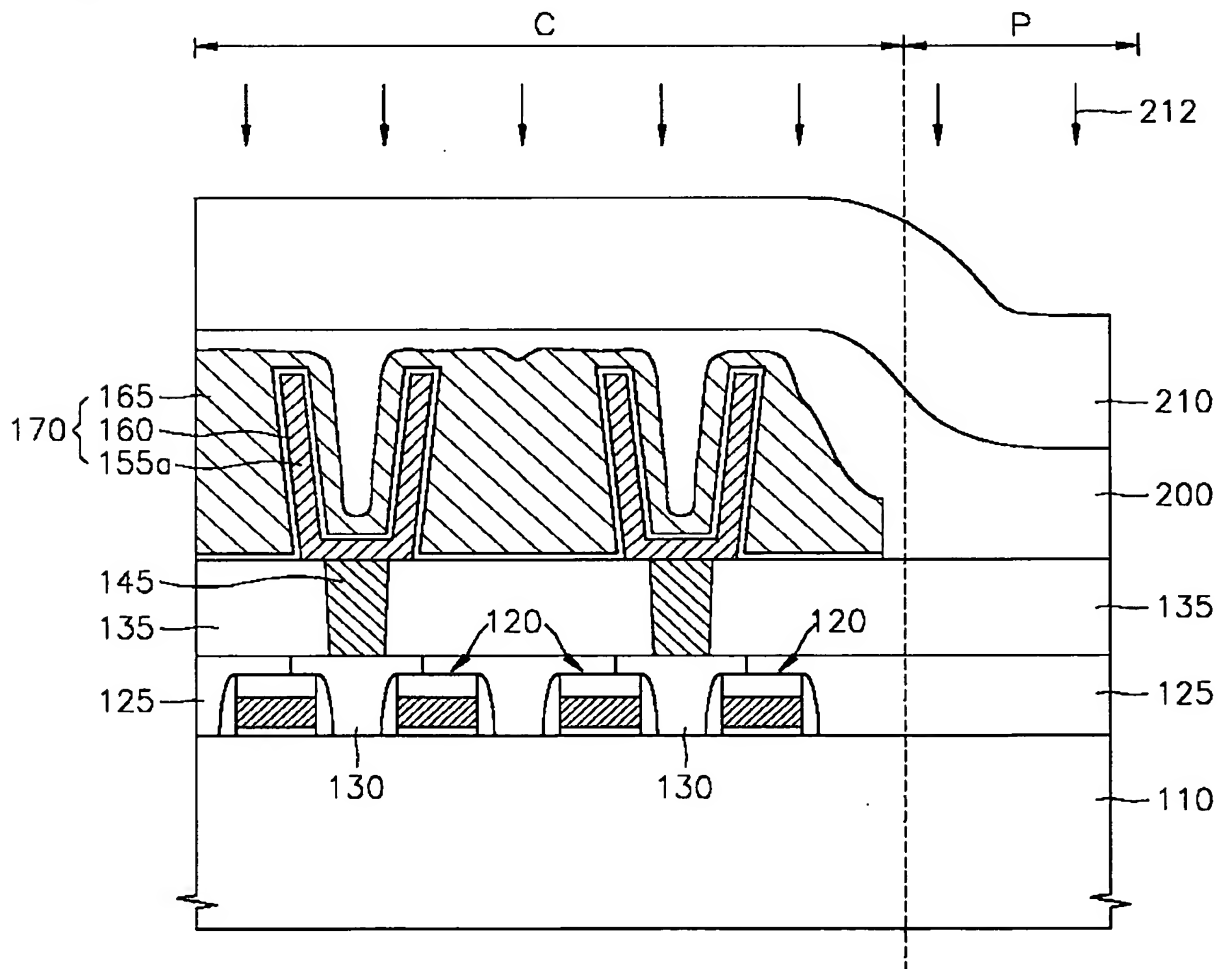
【도 10】



【도 11】



【도 12】



【도 13】

